

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-004020

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

H01L 33/00

(21)Application number : 10-040707

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.02.1998

(72)Inventor : WATANABE YUKIO
SAEKI AKIRA
NOZAKI HIDEKI

(30)Priority

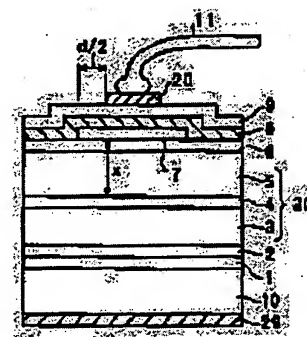
Priority number : 09111813 Priority date : 15.04.1997 Priority country : JP

(54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT, MANUFACTURE THEREOF AND SEMICONDUCTOR LIGHT-EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the light-emitting efficiency of a semiconductor light-emitting element by improving the arrangement and structure of a current block layer for limiting a current directly under a light take-out electrode.

SOLUTION: A current block layer 7 provided directly under a transparent electrode 9 is formed by a semiconductor layer having a band gap larger than a light-emitting wavelength and containing Al. An oxide film is formed on the surface of the current block layer 7 or near the surface in the process of forming the transparent electrode 9 containing oxygen such as an ITO film, by forming the current block layer 7 through the semiconductor layer and current blocking acts effectively. The diameter of an electrode 20 for bonding is made smaller than the diameter of the current block layer 7, and emitted light is taken out effectively. Further, for the oxidized current block layer 7, pressure resistance is raised, thus it is formed thin and step cut is hardly generated at the time of forming the transparent electrode 9 on the current block layer 7. Adhesion is improved by interposing a thin Zn layer 8 between the transparent electrode 9 and an ohmic layer 6.



LEGAL STATUS

[Date of request for examination] 13.11.2001

[Date of sending the examiner's decision of rejection] 20.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上に成長されたp n接合を有する活性層を含む発光層と、

前記発光層の発光面全面を覆うように形成された光取り出し側電極の酸素を含む透明電極と、

前記透明電極上に形成されたボンディング用電極と、

前記透明電極の下に形成され、前記ボンディング用電極の直下に配置された電流ブロック層とを備え、

前記電流ブロック層は、発光波長以上のバンドギャップを有するAlを含む半導体から構成されていることを特徴とする半導体発光素子。

【請求項2】半導体基板と、

前記半導体基板上に成長されたp n接合を有する活性層を含む発光層と、

前記発光層の発光面全面を覆うように形成された光取り出し側電極の酸素を含む透明電極と、

前記透明電極上に形成されたボンディング用電極と、

前記発光層の上に形成され、前記透明電極の下に形成されたオーミックコンタクト層と、

前記透明電極と前記オーミックコンタクト層との間に形成された亜鉛層もしくは金を含む亜鉛層と、

前記透明電極及びオーミックコンタクト層の下に形成され、前記ボンディング用電極の直下に配置された電流ブロック層とを備え、

前記電流ブロック層は、発光波長以上のバンドギャップを有するアルミニウムを含む半導体から構成されていることを特徴とする半導体発光素子。

【請求項3】前記亜鉛層もしくは金を含む亜鉛層は、1～5 nmの厚さを有することを特徴とする請求項2記載の半導体発光素子。

【請求項4】半導体基板と、

前記半導体基板上に成長されたp n接合を有する活性層を含む発光層と、

前記発光層の発光面全面を覆うように形成された光取り出し側電極の酸素を含む透明電極と、

前記透明電極上に形成されたボンディング用電極と、

前記発光層の上に形成され、前記透明電極の下に形成されたオーミックコンタクト層と、

前記透明電極と前記オーミックコンタクト層との間に形成された亜鉛層もしくは金を含む亜鉛層とを備えていることを特徴とする半導体発光素子。

【請求項5】前記電流ブロック層の表面の少なくとも一部は酸化されていることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体発光素子。

【請求項6】前記活性層にはp型不純物が $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ ドープされていることを特徴とする請求項1乃至請求項5のいずれかに記載の半導体発光素子。

【請求項7】前記ブロック層は、その中心が前記ボンディング用電極の中心に一致するようにこのボンディング

2

用電極の直下に配置され、前記電流ブロック層の直径と前記ボンディング用電極の直径との差がこの電流ブロック層から前記活性層までの距離の3倍以上であることを特徴とする請求項1乃至請求項3、請求項5又は請求項6のいずれかに記載の半導体発光素子。

【請求項8】前記電流ブロック層は、 $\text{In}_{0.5}(\text{Ga}_{1-x}\text{Al}_x)_{0.5}\text{P}$ (但し、 $1 \geq x > 0.5$) であることを特徴とする請求項1乃至請求項3、請求項5乃至請求項7のいずれかに記載の半導体発光素子。

【請求項9】前記透明電極は、酸化インジウム及び酸化スズの混合物から構成されていることを特徴とする請求項1乃至請求項8のいずれかに記載の半導体発光素子。

【請求項10】半導体基板と、

前記半導体基板上に成長されたp n接合を有するInGaAlP系活性層を含む発光層と、

前記発光層の上に形成された電流拡散層と、

前記電流拡散層上に形成された光取り出し電極と、

前記電流拡散層と前記発光層との間に形成され、前記光取り出し電極の直下に配置された電流ブロック層とを備え、

前記電流ブロック層は、発光波長以上のバンドギャップを有するアルミニウムを含む半導体から構成され、前記活性層には亜鉛からなるp型不純物が $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ ドープされていることを特徴とする半導体発光素子。

【請求項11】半導体基板と、

前記半導体基板上に成長されたp n接合を有するInGaAlP系活性層を含む発光層と、

前記発光層の発光面全面を覆うように形成された光取り出し側電極の酸素を含む透明電極と、

前記透明電極上に形成されたボンディング用電極と、

前記発光層の上に形成され、前記透明電極下に形成されたオーミックコンタクト層と、

前記透明電極及びオーミックコンタクト層の下に形成され、前記ボンディング用電極の直下に配置された電流ブロック層とを備え、

前記電流ブロック層は、発光波長以上のバンドギャップを有するアルミニウムを有する半導体から構成され、前記活性層には亜鉛からなるP型不純物が $5 \times 10^{16} \sim 2 \times 10^{17} \text{ cm}^{-3}$ ドープされていることを特徴とする半導体発光素子。

【請求項12】半導体基板上にp n接合を有する活性層を含む発光層を成長させる工程と、

前記発光層の上にオーミックコンタクト層を形成する工程と、

前記オーミックコンタクト層上に一部に電流ブロック層を形成する工程と、

前記オーミックコンタクト層及び前記電流ブロック層の上に光取り出し側電極の酸素を含む透明電極を形成する工程と、

前記オーミックコンタクト層及び前記電流ブロック層の上に光取り出し側電極の酸素を含む透明電極を形成する工程と、

(3)

3

前記透明電極上に、その直下に前記電流ブロック層が配置されるようにボンディング用電極を形成する工程とを備え、

前記電流ブロック層は発光波長以上のバンドギャップを有するアルミニウムを含む半導体から構成されていることを特徴とする半導体発光素子の製造方法。

【請求項13】前記透明電極と前記オーミックコンタクト層及び電流ブロックとの間に亜鉛層もしくは金を含む亜鉛層を形成する工程をさらに有し、この亜鉛層もしくは金を含む亜鉛層と前記透明電極とは同一装置内で形成されることを特徴とする請求項12に記載の半導体発光素子の製造方法。

【請求項14】ボンディング用電極を形成する工程後に前記半導体基板にスクライブラインを形成し、このスクライブラインに外力を加えて前記半導体基板を複数のペレットに分割する工程をさらに有することを特徴とする請求項12又は請求項13に記載の半導体発光素子の製造方法。

【請求項15】請求項1乃至請求項3、請求項5乃至請求項9、及び請求項11のいずれかに記載された半導体発光素子と、

前記半導体発光素子を支持固定するベッド部と、
前記ベッド部の周辺に、前記半導体発光素子を囲むように配置形成された皿状反射板と、

前記ベッド部に接続された第1のリードと、
第2のリードと、

前記半導体発光素子の前記光取り出し電極と前記第2のリードとを電気的に接続するボンディングワイヤと、
前記半導体発光素子、前記第1及び第2のリードの一部及び前記ボンディングワイヤとが封止されている樹脂封止体とを備えていることを特徴とする半導体発光装置。

【請求項16】半導体基板と、
前記半導体基板上に形成され、クラッド層と活性層とを含むpn接合部が存在するダブルヘテロ構造の発光層と、

前記発光層上に形成された電流ブロック層と、
前記電流ブロック層上に形成された透明電極と、

を備え、
前記活性層と前記電流ブロック層との距離が0.3 μm から3.0 μm の範囲にあることを特徴とする半導体発光素子。

【請求項17】前記発光層と前記電流ブロック層との間に、前記発光層とは結晶構造が異なる電流拡散層が形成されていることを特徴とする請求項16記載の半導体発光素子。

【請求項18】半導体基板と、
前記半導体基板上に形成され、クラッド層と活性層とを含むpn接合部が存在するダブルヘテロ構造の発光層と、

前記発光層上の少なくとも一部に形成された電流ブロッ

4

ク層と、

前記発光層及び前記電流ブロック層上に形成された電流拡散層と、

前記電流ブロック層上に形成された透明電極と、
を備え、

前記活性層と前記電流ブロック層との距離が0.3 μm から3.0 μm の範囲にあることを特徴とする半導体発光素子。

【請求項19】前記半導体発光素子の厚さが150 μm 以下であることを特徴とする請求項16乃至18のいずれかに記載の半導体発光素子。

【請求項20】前記半導体発光素子のチップサイズが250 μm 以下であることを特徴とする請求項16乃至19のいずれかに記載の半導体発光素子。

【請求項21】前記透明電極の端部は、前記半導体発光素子のチップ端部よりも内側に位置することを特徴とする請求項16乃至20のいずれかに記載の半導体発光素子。

【請求項22】前記透明電極は、円形又は多角形の形状を有することを特徴とする請求項21記載の半導体発光素子。

【請求項23】請求項16乃至22のいずれかに記載された半導体発光素子と、

前記半導体発光素子を支持固定するベッド部と、
前記ベッド部の周辺に、前記半導体発光素子を囲むように配置形成された皿状反射板と、

前記ベッド部に接続された第1のリードと、
第2のリードと、

前記半導体発光素子の前記光取り出し電極と前記第2のリードとを電気的に接続するボンディングワイヤと、
前記半導体発光素子、前記第1及び第2のリードの一部及び前記ボンディングワイヤとが封止されている樹脂封止体とを備えていることを特徴とする半導体発光装置。

【請求項24】半導体基板の一方の主面上に、pn接合部が存在するようにクラッド層と活性層とを含むダブルヘテロ構造の発光層を成長させる工程と、

前記活性層との距離が0.3 μm から3.0 μm の範囲になるように、前記発光層上に電流ブロック層を形成する工程と、

前記電流ブロック層上に透明電極を形成する工程と、
を備えたことを特徴とする半導体発光素子の製造方法。

【請求項25】前記発光層と前記電流ブロック層との間に、前記発光層とは結晶構造が異なる電流拡散層を形成する工程をさらに備えることを特徴とする請求項24記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体発光素子及びその製造方法並びに半導体発光装置に係わり、特に透明電極を有するもの及びその製造方法に関する。

【0002】

【従来の技術】従来の半導体発光素子の縦断面構造を図22に示す。n-GaAs基板28の第1の主面に、AuGeからなるn型側電極（基板側電極、以下、n電極という）29が形成されている。n-GaAs基板28の第2の主面には半導体層が、例えば有機金属気相成長（以下、MOCVDという）法等により順次積層されている。第2の主面の表面上に、n-GaAsバッファ層27が成長されている。このバッファ層27の表面上に、n-GaAs/n-In_{0.5}Al_{0.5}Pのペア10対からなる反射層26が成長されている。反射層26の表面上には、n-In_{0.5}Al_{0.5}Pクラッド層（n型クラッド層）25が形成されている。n型クラッド層25の表面上に、In_{0.5}(Ga_{0.55}Al_{0.45})_{0.5}Pからなる活性層24が形成されている。この活性層24の表面上には、p-In_{0.5}Al_{0.5}Pクラッド層（p型クラッド層）23が形成されている。p型クラッド層23、活性層24及びn型クラッド層25で、ダブルヘテロ構造による発光層30を構成している。発光層30の発光面上に電流拡散層22が形成されており、この電流

拡散層22の上にp-GaAsからなるオーミックコンタクト層21が成長されている。このオーミックコンタクト層21の上にAuからなるp型側電極（光取り出し電極、以下、p電極という）20が形成されている。これらの半導体層は、例えばMOCVD法により形成される。

【0003】一般に、p型半導体層は抵抗率が高い。よって、電流注入用のp電極20と活性層24とが近傍に位置する場合、すなわち電流拡散層22が無いような場合には、電流が広がり難くp電極20直下及びこの電極近傍が発光し易くなる。この結果、発光効率は極端に低下する。

【0004】また、電流が集中すると順方向電圧も高くなる。そこで、電流の広がりをよくするため、抵抗が比較的低くかつ発光波長に対して吸収の少ない電流拡散層22が設けられる場合が多い。さらに、p電極20直下での発光を無くすために、ダブルヘテロ構造と電流拡散層との間に、電流を遮断する電流ブロック層を設けた、2回成長が必要な発光素子も提案されている。この電流ブロック層の表面は、再成長する面となるので、酸化などの問題が無いように一般にAlを含まない層で形成される。

【0005】Alを含まない電流ブロック層としては、GaAs、GaAsP、InGaAs、InGaAsP等がある。例えば、InGaAlP系半導体発光素子においては、最表面に形成された多層膜としてGaAsが用いられる。GaAsは、InGaAlP系半導体発光素子においては発光波長に対して透明では無いので薄く形成されるが、吸収が起こり、電流ブロック下部周辺近傍で発光する光が有効に取り出せずに発光効率の低下を

(4)

招く。

【0006】また、電流拡散層としては、GaAlAs層が使用されているがキャリア濃度として $2 \times 10^{18} \text{ cm}^{-3}$ 程度であり、抵抗率も $7 \times 10^{-2} \Omega \text{ cm}$ と高いのでp電極より注入された電流の広がりが充分ではなく発光が全面に広がらない。そのため、とくに緑色InGaAlP系半導体発光素子は、発光しない素子周辺部は発光した光の吸収帯となり、横方向、すなわち活性層と平行な方向の出射口に長波長にずれて発光が観測されるようになる。そのためこの半導体発光素子は、横からの発光がレンズを通して出てこないようにフレームの反射板の無いものにマウントされていた。したがって、横方向の光が有効に使用できず発光効率が低くなってしまふ欠点があった。

【0007】また、従来InGaAlP系半導体を用いた発光ダイオード(LED)の活性層には、故意に不純物をドーピングせず、その結果、活性層は、キャリア密度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のn型であった。従って、LEDの構造は、n-n'-pのダブルヘテロ構造であった（図22参照）。この場合、この図22に示されているように活性層に注入される少数キャリアは、電子31ではなくホール32である。そしてLEDの発光効率は少数キャリア寿命（ライフタイム）に依存する。活性層内で非発光再結合してしまう確率が少なく、つまり、ライフタイムが長い程、LEDの発光効率は向上するが、この場合の少数キャリアはホールであり、ホールのライフタイムは一般に短いため発光効率向上に限界があった。

【0008】また、従来の半導体発光素子には、図24に示されるように透明電極と電流ブロック層とを有するものもあった。この発光素子では、n-GaAs基板201の第1の主面にAuGeから成るn電極202が形成され、第2の主面には有機金属気相成長法により複数の半導体層が積層されている。

【0009】基板201の第2の主面の表面上に、n-GaAsバッファ層203が形成され、さらに順に、n-GaAs/n-In_{0.5}Al_{0.5}P反射層204、n-In_{0.5}Al_{0.5}Pクラッド層205、In_{0.5}(Ga_{0.55}Al_{0.45})_{0.5}Pから成る活性層206、p-In_{0.5}Al_{0.5}Pクラッド層207が形成されている。ここで、nクラッド層205、活性層206及びpクラッド層207により、ダブルヘテロ層200が構成されている。

【0010】このダブルヘテロ層200の上面に、p-Ga_{0.2}Al_{0.8}As電流拡散層208、p-GaAsオーミックコンタクト層209が順に形成されており、コンタクト層209の表面上にはAuZnから成るp電極210が形成されている。このように、従来の素子では電流拡散層208としてGaAlAs系半導体を用いている。しかし、この層208の抵抗率が高く、十分な電流の広がりを得ることはできなかった。このため、p

(5)

7

電極210への電流の集中が起こり、発熱が生じて内部量子効率が低下したり、p電極210が光を吸収して光取り出し効率の低下を招くなどの問題があった。

【0011】

【発明が解決しようとする課題】 上述のように、図22に示された従来の発光素子には発光効率が低いという問題があった。また、図24に示された従来の発光素子には、内部量子効率及び光取り出し効率が低いという問題があった。

【0012】 本発明は上記事情に鑑みてなされたもので、発光効率、あるいは内部量子効率及び光取り出し効率が低い半導体発光素子及びその製造方法、並びに半導体発光装置を提供することを目的とする。

【0013】

【課題を解決するための手段】 本発明は、発光面全面に酸素を含む透明電極を設けた半導体発光素子において、透明電極直下に設けられた電流ブロック層は、アルミニウム(A1)を含む発光波長以上のバンドギャップを有する半導体層で形成されていることを特徴としている。

【0014】 電流ブロック層をA1を含む発光波長以上のバンドギャップを有する半導体層で形成することにより酸素を含む透明電極を形成する過程で電流ブロック層の表面または表面近傍に酸化層が形成され、電流ブロックが有効に作用する。

【0015】 また本発明は、ボンディング用電極径を電流ブロック層の直径より小さくしておくことを特徴とする。

【0016】 電流ブロック層近傍の内側に回り込んだ電流による発光は、この電極径を電流ブロック層より小さくしておくことにより、電流ブロック層は発光に対して透明であるため、発光を有効に取り出すことができる。更に、酸化された電流ブロック層は、同等の厚みの半導体層よりも耐圧が高く、その為薄く形成することができ、透明電極を該ブロック層上に形成する際段切れを起こし難くなる。

【0017】 さらに本発明は、透明電極とオーミック層の間に薄いZn層もしくはAuを含むZn層を介在させることを特徴とする。

【0018】 薄いZn層もしくはAuを含むZn層を介在させることにより密着性を良くすることができる。また、素子化プロセスでの加熱工程等で電流ブロック層にZnが拡散され、電流ブロック層が有効に働かなくなる場合があるが、酸化したA1を含む半導体層が設けられていることによりZnが拡散され難くするので電流ブロックが有効に作用する。さらに、透明電極を形成することにより反射板のあるフレームにマウントすることが可能になり、発光の取り出し効率が高くなる。

【0019】 また、本発明のA1を含む電流ブロック層を有し、透明電極とオーミックコンタクト層との間にZn層を有するInGaAlPを活性層材料とする半導体

8

発光素子において、活性層に亜鉛(Zn)、カドミウム(Cd)、ベリリウム(Be)、マグネシウム(Mg)又は炭素(C)を添加し、活性層をキャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ から $2 \times 10^{17} \text{ cm}^{-3}$ 程度のp型半導体を用いることを特徴とする。

【0020】 活性層にp型半導体を用いることにより発光効率を著しく向上させた緑、黄緑、黄、橙、赤、各色の発光ダイオードが得られる。

【0021】 あるいは、本発明の半導体発光素子は、半導体基板と、半導体基板上に形成され、クラッド層と活性層とを含みpn接合部が存在するダブルヘテロ構造の発光層と、発光層上に形成された電流ブロック層と、電流ブロック層上に形成された透明電極とを備え、活性層と電流ブロック層との距離が $0.3 \mu\text{m}$ から $3.0 \mu\text{m}$ の範囲にあることを特徴としている。

【0022】 このように、活性層と電流ブロック層との距離が $0.3 \mu\text{m}$ から $3.0 \mu\text{m}$ の範囲にあることにより、電流ブロック層が電流の集中をより有効に抑制することができる。

【0023】 ここで、発光層と電流ブロック層との間には、発光層とは結晶構造が異なる電流拡散層が形成されていることが望ましい。

【0024】 本発明の半導体発光素子は、半導体基板と、半導体基板上に形成され、クラッド層と活性層とを含みpn接合部が存在するダブルヘテロ構造の発光層と、発光層上の少なくとも一部に形成された電流ブロック層と、発光層及び電流ブロック層上に形成された電流拡散層と、電流ブロック層上に形成された透明電極とを備え、活性層と電流ブロック層との距離が $0.3 \mu\text{m}$ から $3.0 \mu\text{m}$ の範囲にあることを特徴とする。このように、電流ブロック層の上面に電流拡散層が設けられていてもよい。

【0025】 半導体発光素子の厚さが $150 \mu\text{m}$ 以下である場合には、ブレイキングによって容易にウェーハから素子を分離することが可能である。

【0026】 また、本発明によれば半導体発光素子のチップサイズを $250 \mu\text{m}$ 以下としても高い発光効率を得ることができる。

【0027】 透明電極の端部が半導体発光素子のチップ端部よりも内側に位置する場合には、発光層と透明電極との距離が増加し、塵埃の付着等が原因となって発生する静電破壊から素子を保護することが可能である。

【0028】 ここで、透明電極の形状は円形又は多角形であってもよい。

【0029】 このような半導体発光素子は、半導体基板の一方の主面上に、pn接合部が存在するようにクラッド層と活性層とを含むダブルヘテロ構造の発光層を成長させる工程と、活性層との距離が $0.3 \mu\text{m}$ から $3.0 \mu\text{m}$ の範囲になるように、発光層上に電流ブロック層を形成する工程と、電流ブロック層上に透明電極を形成す

る工程とを備えた製造方法により製造することができ
る。

【0030】ここで、発光層と電流ブロック層との間に、発光層とは結晶構造が異なる電流拡散層を形成する工程をさらに備えてもよい。

【0031】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。

【0032】まず、第1～第6の実施の形態は発光効率を向上させることを目的としたものである。本発明の第1の実施の形態による半導体発光素子は、図1及び図2に示されるような構成を備えている。ここで、図1は半導体発光素子の縦断面を示し、図2は半導体発光素子の平面図に対応し、図1は図2におけるA-A線に沿う縦断面図に相当する。

【0033】厚さ約250 μ mのn-GaAs基板10表面上に、厚さ0.5 μ mのn-GaAsパッド層1、厚さ合計0.76 μ mのn-GaAs/n-In0.5Al0.5Pのペア10対からなる反射層2、厚さ0.6 μ mのn-In0.5Al0.5Pクラッド層3、厚さ1.0 μ mのZnをドーブしたIn0.5(Ga0.55Al0.45)0.5P活性層4、厚さ1.0 μ mのp-In0.5Al0.5Pクラッド層5、厚さ0.01 μ mのp-GaAsオーミックコンタクト層6、厚さ0.01 μ m～0.2 μ mのn-In0.5Al0.5Pの電流ブロック層7を順次MOCVD法などにより成長させる。その後、通電領域に相当する電流ブロック層7に対し、フォトリソ工程を経て、熱燐酸又は熱硫酸によりp-GaAsオーミックコンタクト層6まで選択的に除去し、直径約110 μ mの電流ブロック層7を基板10のほぼ中央に位置するように成形する。続いて、フォトリソを除去して、水洗後乾燥する。

【0034】次に、電流ブロック層7を含むGaAsオーミックコンタクト層6の表面全体にAuZn金属を用いて厚さ1～4nmのZn層8を蒸着し、続いて約1E-3torrの真空中でArと酸素を圧力比100:1の混合ガスを導入し、150℃～200℃に加熱しながら酸化インジウム(In2O3)一酸化錫(SnO2)膜(以下、ITO膜という)9をスパッタリング装置で約100nm堆積させる。さらに、n-GaAs基板10側にAuGe電極29を200nm、ITO膜9上にAu膜を約1.2 μ m形成した後、Ar中約430℃で15分程度熱処理を行う。この後、電流ブロック層7より1周り小さい径、直径約100 μ mにAu膜をパターニングしてボンディング用p電極20を形成する。続いて、ダイヤモンド針を用いたスクライブ装置により、裏面から150 μ m角にけがき、ブレイキングを行い基板を半導体発光素子(ペレット)毎に切断分離する。

【0035】p電極20には、電源に接続される外部端

子(図示せず)に繋がるボンディングワイヤ11が接続される。発光層30は、n型クラッド層3、活性層4及びp型クラッド層5により構成される。p電極20は、電流ブロック層7のほぼ中央に配置され、両者の直径差dは、電流ブロック層7から活性層4までの距離xのほぼ10倍以上である($d \geq 10x$)。

【0036】以上のような工程を経て製造される緑色半導体発光素子は、Alを含まない電流ブロック層を用いた素子比較し、透明電極との密着性が向上する。Alを含まない電流ブロック層では、電極プロセス等での熱処理によりブロック層としての作用が失われてしまうことがあった。これに対し、Alを含む電流ブロック層では、熱処理を行った後においても電流ブロック層の耐電圧の低下は生じない。

【0037】また、Zn層を介在させることによりGaAsコンタクト層とITO膜との密着性及びAlを含む電流ブロック層とITO膜との密着性がさらに向上する。このため、表面からスクライブによるけがきを行う場合のチップング、ブレイキングする際の割れ、剥がれが大幅に改善され、スクライブで素子を形成することが可能である。

【0038】なお、Zn層の厚みは厚いほうが密着性は高くなる傾向があったが、光の吸収が指数関数的に大きくなることから約5nmが発光効率を落とさない厚さの限度であり、これより厚いと発光効率が著しく低下する。また、透明電極を形成する構造としたため、電流拡散層を無くすることが可能となり、成長層が大幅に薄くなったことからブレイキングの歩留まりが大幅に向上する。

【0039】さらに、ブロック層を発光に対して透明な構造とし、ボンディング用p電極の直径とブロック層の直径差を表面から発光層迄の距離の3倍以上の差が出来るよう電極径を小さく設定している。これにより、ブロック周辺下部に廻り込んだ電流による発光を有効に取り出すことが可能である。電流ブロック層の表面を二次イオン質量分析計により分析した結果、ITOなどの酸素を含む透明電極を形成することにより、強固な酸化アルミニウム膜が形成され、ブロック層として有効に作用する。密着性を向上させるためのZnの拡散、及び発光効率を向上させるために活性層にドーブしたZnの拡散により、電流ブロック層の機能が低下することはない。活性層にドーブするZnの量は、6E17以上でもブロック層の機能の低下はないが、半導体発光素子の発光効率及び信頼性の点では好ましくない。また、50mAの高電流密度信頼性試験を行ったところ、充分に電流ブロック層として機能することが分かった。

【0040】本実施の形態では、Zn薄膜層の形成は抵抗加熱による蒸着で行っている。しかし、透明電極形成用スパッタリング装置で連続的に形成することで、素子表面と透明電極との密着性を向上させることも可能であ

(7)

11

る。また、上記実施の形態では、ボンディング用電極の形成において、Auにエッチングを行っている。しかし、リフトオフ等の方法で作成することにより、電流ブロック層の直径とp電極の直径との関係を向上させることもできる。

【0041】本実施の形態により得られた素子の横方向、すなわち活性層と平行方向の発光を観測した結果、表面即ち活性層に垂直な方向に出射される発光波長と同じであった。この素子を、反射板のあるフレームにマウントボンディングしたところ、従来の発光出力の130%のものが得られた。

【0042】次に、図3乃至図5を参照して第2の実施例を説明する。

【0043】図3に半導体発光素子の断面を示し、図4に、この半導体発光素子の活性層のキャリア密度の発光効率依存性を示す。ここで、図4における縦軸が発光効率(%)、横軸が活性層のキャリア密度である。図5は、図3の半導体発光素子発光層のバンドギャップを示す。厚さ250 μ mのn-GaAs基板1上に、厚さ0.5 μ mのn-GaAsバッファ層1、厚さ0.6 μ mのn-In_{0.5}Al_{0.5}Pクラッド層3、厚さ0.6 μ mのp-In_{0.5}(Ga_{1-x}Al_x)_{0.5}P活性層12、厚さ0.6 μ mのp-In_{0.5}Al_{0.5}Pクラッド層5、厚さ0.01 μ mのp-GaAsオーミックコンタクト層6、厚さ0.01 μ m~0.2 μ mのn-In_{0.5}Al_{0.5}Pの電流ブロック層7を順次MOCVD法などにより成長させた後、電流ブロック層を直径約111 μ mの電流ブロック層7を基板10のほぼ中央に位置するように成形した。次に、電流ブロック層7を含むGaAsオーミックコンタクト層6の表面全体にAuZn金属を用いて厚さ1~4nmのZn層8を蒸着し、続いて約1E-3 torrの真空中でArと酸素を圧力比100:1の混合ガスを導入し、150℃~200℃に加熱しながらITO膜9をスパッタリング装置で約100nm堆積させた。

【0044】次に、n-GaAs基板10側にAuGe電極29を200nm、ITO膜9上にAu膜を約1.2 μ m堆積させた後、Ar中約430℃で15分程度熱処理を行った。次に、電流ブロック層7より1まわり小さい径、直径約100 μ mにAu膜をパターンニングしてボンディング用p電極20を形成した。続いて、ダイヤモンド針を用いたスクライプ装置により、裏面から150 μ m角にけがき、ブレイキングを行い基板を半導体発光素子(ペレット)毎に切斷分離した。p電極20には、電源に接続される外部端子(図示せず)に繋がるボンディングワイヤ(図示せず)が接続される。n型クラッド層3、活性層12及びp型クラッド層5は、発光層30を構成する。p電極20は、電流ブロック層7のほぼ中央に配置され、両者の直径差は、電流を有効に利用するために電流ブロック層7から活性層4までの距離の

12

ほぼ3倍以上に相当する。

【0045】以上のように、これらの半導体層は全てMOCVD法により形成される。原料は、TMG、TM I、TMAなどの有機金属やAsH₃、PH₃などの水素化合物ガスを用いる。また、n型半導体層には不純物としてSi(シリコン)、p型の層にはZn(亜鉛)をドーピングする。原料はそれぞれ、シラン及びDMZを用いる。結晶成長の温度は、約700℃である。

【0046】図4に示す様に、p-活性層12のキャリア密度は、5E16~2E17cm⁻³の範囲が適当である。活性層にドーピングされるp型不純物としては、前述したZn以外に、Cd、Mg、C、Beなどがある。また、図5に示すように、この実施例の発光層は、n-p-p型のヘテロ構造であり、活性層12に電子31が注入される。したがって、活性層のライフタイムが長くなり、発光効率も向上する。

【0047】次に、図6を参照して第3の実施の形態について説明する。

【0048】図6は、本発明の半導体発光素子を組み込んだ半導体発光装置の断面図を示している。皿状反射板13を有するリード14にAgペーストなどの導電性接着剤15を用いて半導体発光素子(ペレット)100の半導体基板側をリード14のベッド部16にダイボンディングした後、Au線のボンディングワイヤ11によりp電極(光取り出し電極)20とリード17とを電気的に接続する。その後、エポキシ樹脂の砲弾状の樹脂封止体18に皿状反射板13、リード14の一部、導電性接着剤15、半導体発光素子100、ベッド部16、ボンディングワイヤ11、リード17の一部を封止する。この樹脂封止体18は、レンズ作用及び半導体発光素子100を保護する作用を持っている。

【0049】図1などに示される本発明の半導体発光素子は、素子の横方向、すなわち活性層と平行方向の発光波長は、活性層に垂直な方向に出射される発光波長と同じであるので、この実施の形態のように素子に反射板を取り付けて発光を有効に取り出させるようにしたところ従来の発光出力の130%のものが得られた。

【0050】次に、図7を参照して第4の実施の形態について説明する。

【0051】図7に示された半導体基板は、図1に示された半導体発光素子を形成するものである。スクライプ装置として、前述のAuGe電極(n電極)29が形成されていない領域でAu電極(p電極)パターンとスクラブラインの位置合わせができるよう赤外透過機能を加したものを作製して用いた。このようなスクライプ装置を用いて、スクライプ用ダイヤモンド針に14gの荷重をかけて、AuGe電極29上にスクライプ(スクラブライン34)を行う。その後半導体ウェーハのスクライプ面と反対側の発光面側に外力を加えてペレット分割を行った結果、形状良好なペレットを得ることができ

た。ペレット分割を行う場合は、発光面側の主面と基板側主面に粘着シート36、37を張り付け、押え板38を粘着シート37の下において、押え板38が置かれていない領域に対向するクラッド層上でスクライブライン34に対して劈開面上の位置35に粘着シート36を介してカッターブレード39を合わせ力を加えてスクライブライン34からウェーハを切断する。

【0052】さらに、発光側(p電極20を形成した面)の仕上がり寸法精度を向上させたい場合は、n電極29上にスクライブを行った後、p型クラッド層上で、n電極29上のスクライブライン34に対し劈開面上の対向する位置に、ダイヤモンド針荷重5gでスクライブ(副スクライブ)を行い(スクライブライン35)、その後半導体ウェーハをスクライブライン34に外力を加えてペレット分割を行う(外力を加え分割する方法は上述と同じく行う)。

【0053】Zn層8を介在させることによりコンタクト層6と透明電極(ITO膜)9との密着性及び電流ブロック層7の密着性が向上する。このため、ウェーハ表面からスクライブによるけがきを行う場合に、チップングやブレイキングの際に割れや剥がれの発生を確実に防止することができる。

【0054】よって、ペレット分割を行った場合に、発光面側の寸法精度も良好でさらに形状が良好なペレットを得ることが可能である。

【0055】次に、本発明の第5の実施の形態について説明する。

【0056】図8に、本実施の形態による半導体発光素子の光取り出し側電極(p電極)部分の平面の構成及び断面構造を示す。図1に示された第1の実施の形態による素子では、p電極20は、透明電極(ITO膜)が形成された発光面の中央部に配置されている。これに対し、本実施の形態では、発光面の左右いずれかの片側に配置形成されている。このように、ボンディング用電極であるp電極20が発光面の隅に形成されているので、発光が有効に利用される。

【0057】Zn層を有する半導体発光素子について説明する。図9に、この素子の断面構造を示す。厚さ約250μmのn-GaAs基板10上に、厚さ0.5μmのn-GaAsバッファ層1、厚さn-GaAs/n-In_{0.5}Al_{0.5}Pのベア10対からなる反射層2、厚さ0.6μmのn-In_{0.5}Al_{0.5}Pクラッド層3、厚さ1.0μmのZnをドーブしたIn_{0.5}(Ga_{0.55}Al_{0.45})0.5P活性層4、厚さ1.0μmのp-In_{0.5}Al_{0.5}Pクラッド層5、厚さ0.01μmのp-GaAsオーミックコンタクト層6を順次MOCVD法などにより成長させた。

【0058】続いて、GaAsオーミックコンタクト層6の表面全体にAuZn金属を用いて厚さ1~4nmのZn層8を蒸着し、続いて約1E-3 torrの真空中

でArと酸素を圧力比100:1の混合ガスを導入し、150℃~200℃に加熱しながらITO膜9をスパッタリング装置で約100nm堆積させた。次に、n-GaAs基板10側にAuGe電極29を200nm、ITO膜9上にAu膜を約1.2μm形成した後、Ar中約430℃で15分程度熱処理を行った。次に直径約100μmにAu膜をバターンニングしてボンディング用p電極20を形成した。続いて、ダイヤモンド針を用いたスクライブ装置により、裏面から150μm角にけがき、ブレイキングを行い基板(ウェーハ)を半導体発光素子(ペレット)毎に切断分離した。p電極20には、電源に接続される外部端子(図示せず)に繋がるボンディングワイヤ(図示せず)が接続される。n型クラッド層3活性層4及びp型クラッド層5は、発光層30を構成する。

【0059】Zn層を介在させることにより、オーミックコンタクト層とITO膜の密着性が向上した。このため、表面からスクライブによるけがきを行う場合のチップング、ブレイキングの際の割れ、剥がれの発生が大幅に減少し、スクライブで素子を形成することが可能となる。なお、Zn層の厚みは厚いほうが密着性は高くなる傾向があったが、光の吸収が指数関数的に大きくなることから約5nmが発光効率を落とさない厚さの限度でありこれより厚いと発光効率が著しく低下する。

【0060】以下に述べる本発明の第6~第9の実施の形態は、いずれもp電極下への電流の集中を防止し、内部量子効率及び光取り出し効率の向上を目的とするものである。図11に、第6の実施の形態による半導体発光素子の平面を示し、この図11におけるB-B線に沿う縦断面を図10に示す。基板101の第2の主面の表面上には、0.5μmのn-GaAsバッファ層103、厚さ0.76μmのn-GaAs/n-In_{0.5}Al_{0.5}Pのベア10対から成る反射層104、厚さ0.6μmのn-In_{0.5}Al_{0.5}Pクラッド層105、厚さ1.0μmのIn_{0.5}(Ga_{0.5}Al_{0.45})0.5P活性層106、厚さ1.0μmのp-In_{0.5}Al_{0.5}Pクラッド層107、厚さ1.0μmのp-Ga_{0.2}Al_{0.8}As電流拡散層108、厚さ0.01μmのp-GaAsコンタクト層109、厚さ0.2μmのn-In_{0.5}Al_{0.5}P電流ブロック層110を、順にMOCVD法により成長させていく。

【0061】さらに、通電領域に相当する電流ブロック層110を、写真蝕刻技術及びエッチング技術を用いてバターンニングする。これにより、直径が120μmで基板101のほぼ中央に位置する電流ブロック層110が形成される。電流ブロック層110を含むコンタクト層109の表面全体に、酸化インジウム(In₂O₃)ー酸化錫(SnO₂) (以下、ITOという)膜112を膜厚約100nmで堆積させる。この膜112は、約1E-3 torrの真空中で、Arと酸素とを圧力比10

(9)

15

0:1の混合ガスを導入し、基板101を摂氏150〜200度で加熱してスパッタリングを行うことにより堆積する。

【0062】ITO膜112の表面上に、Au膜を1.0μmの膜厚で蒸着する。ウェーハの研磨を行い、ウェーハの厚さが約100μmとなるように加工する。n-GaAs基板101の第1の主面の表面上に、AuGeから成るn電極102を200nmの膜厚で蒸着した後、Arの雰囲気中で約摂氏450度で約10分間熱処理を行う。電流ブロック層110よりも一回り小さい直径100μmの大きさにAuをパターンし、p電極113を形成する。ダイヤモンド針を用いたスクライブ装置により、半導体ウェーハの裏面から150μm角に書きを行い、ブレイキングを行ってウェーハを素子毎に分離して終了する。

【0063】図20に、活性層106と電流ブロック層110との間の距離、即ちpクラッド層7及び電流拡散層108の膜厚の合計値と、発光効率との関係を示す。ITO膜112が存在することにより、素子に均一な電界が印加されて、電流がp電極113直下に集中せず均一に流れるように改善される。ITO膜112を設けずに、5〜7μmの膜厚の電流拡散層108を設けた場合と比較し、光出力が向上する。

【0064】しかし、ここで均一な電界が素子に印加されるため、電流ブロック層110の下部へ電流が回り込み易い状態にある。そこで、活性層106と電流ブロック層110との間の距離が重要な要素となる。この部分の距離が3μm以上になると、電流ブロック層110による電流集中を抑制する作用が殆ど期待できなくなる。

【0065】逆に、活性層106と電流ブロック層110との間の距離が0.3μm以下、即ちこの間に電流拡散層108を設けずにクラッド層107のみが存在するようにすると、p電極113にボンディングを行ったときのダメージの影響をより受けやすくなり、光出力が低下する。

【0066】また、 $\text{In}_{0.5}(\text{Ga}_{1-x}\text{Al}_x)_{0.5}\text{P}$ 系の結晶と格子定数の異なるGaAlAs系拡散層108を3μm以上形成すると、基板を研磨してウェーハの厚さが約150μm以下となるように加工し、スクライブ、ブレイキングを行って半導体チップを分離する場合に、反りが大きくなる。このためスクライブのズレ、プロセス時のウェーハの割れが発生し易くなり、歩留まりが低下する。さらには、ITO膜が形成されている素子構造では、電流拡散層108は直接光出力に寄与しない。しかし、素子をLEDランプに搭載する場合におけるボンディング工程や、ブレイキング時における活性層106へのダメージを軽減するために、活性層106と電流ブロック層110との間を1〜2μmは空けておくことが望ましい。以上の事情を考慮し、上記第1の実施の形態では活性層106と電流ブロック層110との間

16

を0.3μm〜3μmの範囲内とする。

【0067】図24に示された従来の素子におけるチップサイズと発光効率との関係を図21の線L2に示し、及び上記第1の実施の形態におけるチップサイズと発光効率との関係を線L1に示す。従来の素子は、ITO膜は設けられているが電流ブロック層は設けられておらず、チップサイズの減少と共に発光効率が大幅に低下する。これに対し、本実施の形態では250μm以下にしても発光効率の低下を抑制することが可能である。

【0068】本発明の第8の実施の形態について、図面を用いて説明する。図12に示されたように、本実施の形態は、基板121の第2の主面上に、n-GaAsバッファ層123、n-GaAs/n-In_{0.5}Al_{0.5}Pのベア10対から成る反射層124、n-In_{0.5}Al_{0.5}Pクラッド層125、In_{0.5}(Ga_{0.5}Al_{0.5})_{0.5}P活性層126、p-In_{0.5}Al_{0.5}Pクラッド層127、n-In_{0.5}Al_{0.5}P電流ブロック層131、p-Ga_{0.2}Al_{0.8}As電流拡散層128、p-GaAsコンタクト層129、ITO膜132及びp電極133が順に形成されており、基板121の第1の主面上にはn電極122が形成されている。

【0069】第7の実施の形態と比較し、本実施の形態は電流ブロック層131がクラッド層127と電流拡散層128との間に設けられている点が相違する。本実施の形態では、電流拡散層128が電流ブロック層131と活性層126との間に存在しないので、電流ブロック層131と活性層126との間の距離を第1の実施の形態よりも容易に短く設定することができる。

【0070】本発明の第9の実施の形態は、図15に示されるような平面構成及び図14に示されるような縦断面構成を備えている。本実施の形態による発光素子は、基板141の第2の主面上に、n-GaAsバッファ層143、n-GaAs/n-In_{0.5}Al_{0.5}Pのベア10対から成る反射層144、n-In_{0.5}Al_{0.5}Pクラッド層145、In_{0.5}(Ga_{0.5}Al_{0.5})_{0.5}P活性層146、p-In_{0.5}Al_{0.5}Pクラッド層147、p-GaAsコンタクト層148、n-In_{0.5}Al_{0.5}P電流ブロック層151、ITO膜152及びp電極153が順に形成されており、基板141の第1の主面上にはn電極142が形成されている。

【0071】本実施の形態は、電流拡散層が設けられていない点に特徴がある。しかし、本実施の形態も上記第7あるいは第8の実施の形態と同様に、電流ブロック層151と活性層146との間の距離は、0.3μmから3μmの範囲内に設定される。本実施の形態によれば電流拡散層を設けないことにより、製造コストの低減、あるいはウェーハの反りの低減による歩留まりの向上が達成される。但し、素子をLEDランプ等に組み込む工程等において、活性層146にダメージが与えられないようにする必要がある。

【0072】本発明の第10の実施の形態について、その平面構成を示す図17及び図17におけるE-E線に沿う縦断面を示す図16を用いて説明する。本実施の形態は、基板161の第2の主面上に、 n -GaAsバッファ層163、 n -GaAs/ n -In_{0.5}Al_{0.5}Pのペア10対から成る反射層164、 n -In_{0.5}Al_{0.5}Pクラッド層165、In_{0.5}(Ga_{0.5}Al_{0.45})_{0.5}P活性層166、 p -In_{0.5}Al_{0.5}Pクラッド層167、 p -Ga_{0.2}Al_{0.8}As電流拡散層168、 p -GaAsコンタクト層169、 n -In_{0.5}Al_{0.5}P電流ブロック層171、ITO膜172a及び p 電極173が順に形成されており、基板161の第1の主面上には n 電極162が形成されている。

【0073】本実施の形態は、ITO膜172aの端部が、その下面に設けられたコンタクト層169や電流拡散層168等の端部よりも内側に位置し、コンタクト層169の周辺部の表面174aが露出している点に特徴がある。活性層166とクラッド層165、又は活性層166とクラッド層167との間の pn 接合部と、ITO膜172aとの間に導電性の塵埃例えば、スクライプ時のGaAsクズ等が付着すると、静電破壊が生じる場合がある。しかし、本実施の形態のように、ITO膜172aの端部がコンタクト層169や電流拡散層168等の端部よりも内側にあることで、チップ端部の pn 接合部に塵埃が付着してチップ端部には電圧がほとんど印加されていないため塵埃を通して電流が流れてしまうことがなくESD耐圧不良の発生を低減させることが出来る。

【0074】本発明の第11の実施の形態は、図16に示された上記第10の実施の形態と同様な縦断面構成を備えているが、平面構成が異なっている。第10の実施の形態では、図17に示されたようにITO膜172aは四角形の断面形状を有している。これに対し、本実施の形態では図18に示されたように、ITO膜172bが円形の断面形状を有し、ITO膜172bをチップの四隅から離す構造としている。通常、LEDランプ等の半導体発光素子を用いた装置では、チップが直接モールド樹脂により封止されるので、通電中にチップが発生する熱によって樹脂の膨張が起こる。このため、チップの四隅には強い応力が発生し、四隅の部分から結晶欠陥が生じ劣化が進行している場合が多い。本実施の形態では、ITO膜172bの端部がチップの四隅から離れているため、ITO膜172bの端部に応力が作用し、結晶欠陥が発生しても、四隅にははじめから電流が流れておらず発光していないため、光出力の低下が発生しない。

【0075】第11の実施の形態では、図18に示されたようにITO膜172bが円形形状を有している。しかし、図19に示されたようにITO膜172cは多角形形状を有していてもよい。この場合にも、ITO膜1

72cの端部をチップの四隅から離すことができるので、素子寿命特定の向上に寄与することが可能である。また、上記第7～第11の実施の形態による半導体発光素子は、いずれも図6に示されたように半導体発光装置に組み込んで使用することができる。

【0076】上述した実施の形態は一例であって、本発明を限定するものではない。例えば、上記実施の形態では透明電極と電流拡散層との間に電流を流れやすくするために、間にコンタクト層が設けられている。しかし、必ずしもコンタクト層は設けなくともよい。

【0077】上記実施の形態ではIn_{0.5}(Ga_{1-x}Al_x)_{0.5}系結晶を有する緑色LEDを対象としている。しかし、活性層のAlの比率を変えることで、赤色から緑色の発光色を有するLEDとすることも可能である。さらに、上記実施の形態ではダブルヘテロ層がIn_{0.5}(Ga_{1-x}Al_x)_{0.5}系結晶で構成されているが、赤外から赤色までのGaAlAs系結晶で構成してもよい。

【0078】あるいは、上記実施の形態では基板として n -GaAs系結晶を有するものを用いている。しかし、 p -GaAs系結晶を有する基板を使用し、その表面上に結晶させる結晶の極性を基板の極性に合わせたものとしてもよい。

【0079】また、 n -GaAs系結晶を有する基板を用いてGaAsコンタクト層が p 型である場合には、ITO膜とGaAsコンタクト層との密着性を高めるために、その間にAu-Zu系合金、又はAu-AuZu系合金-Auの極めて膜厚の薄い積層構造の金属層を形成してもよい。

【0080】透明電極として、上記実施の形態ではITO膜を用いているが、これに限らずZnO膜、SnO膜等の他の材料から成るものを用いてもよい。

【0081】ウェーハからチップを分離させるときには、スクライプ及びブレイキング法に限らず、ダイヤモンドブレードを用いたダイシングにより行ってもよい。

【0082】

【発明の効果】以上説明したように、本発明によれば上記構成を備えたことにより透明電極との密着性が向上する。Alを含む電流ブロック層は、熱処理により表面にアルミニウムの酸化膜が形成されて電流ブロック層の耐電圧が十分維持される。また、Zn層を介在させることによりオーミックコンタクト層とITO膜との密着性及びAlを含む電流ブロック層とITO膜との密着性がさらに向上する。そのため、表面からスクライプによるけがきを行う場合のチップング、ブレイキングする際の割れ、剥がれが大幅に改善され、スクライプで素子を形成することが可能になった。さらに、密着性を増す為に挿入したZnの拡散及び発光効率を向上させるために活性層にドーブしたZnの拡散による電流ブロック層の機能低下もみられなかった。

(11)

19

【0083】半導体発光素子の製造工程において、Zn 薄膜層の形成は透明電極形成用スパッタリング装置で連続的に形成することでさらに素子表面と透明電極の密着性が向上する。

【0084】また、本発明によれば活性層と電流ブロック層との距離が0.3 μm から3 μm の範囲内とすることで、電極の下部への電流の集中を抑制し、チップサイズを縮小した場合にも高い発光効率を得ることができ、素子面積の縮小によるコスト低減に寄与することが可能である。

【0085】透明電極の端部をチップの端部よりも内側にした場合には、塵埃等が原因で発生する静電破壊を防止することが可能であり、ESD耐圧が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体発光素子の構成を示す縦断面図。

【図2】同半導体発光素子の平面を示す平面図。

【図3】本発明の第2の実施の形態による半導体発光素子の構成を示す断面図。

【図4】同半導体発光素子の発光効率の活性層中のキャリア密度依存性を示すグラフ。

【図5】同半導体発光素子のバンド構造を示す説明図。

【図6】本発明の第3の実施の形態による半導体発光素子の構成を示す縦断面図。

【図7】本発明の第4の実施の形態による半導体発光素子の切断方法を説明する半導体基板断面図。

【図8】本発明の第5の実施の形態による半導体発光素子の構成を示す平面図及び縦断面図。

【図9】本発明の第6の実施の形態による半導体発光素子の構成を示す縦断面図。

【図10】本発明の第7の実施の形態による半導体発光素子の構成を示す縦断面図。

【図11】同半導体発光素子の平面を示す平面図。

【図12】本発明の第8の実施の形態による半導体発光素子の構成を示す縦断面図。

【図13】同半導体発光素子の平面を示す平面図。

【図14】本発明の第9の実施の形態による半導体発光素子の構成を示す縦断面図。

【図15】同半導体発光素子の平面を示す平面図。

【図16】本発明の第10の実施の形態による半導体発光素子の構成を示す縦断面図。

【図17】同半導体発光素子の平面を示す平面図。

【図18】本発明の第11の実施の形態による半導体発光素子の平面を示す平面図。

【図19】同半導体発光素子における円形状を有するITO膜を多角形に変えた場合の平面を示す平面図。

【図20】上記第7の実施の形態と従来の半導体発光素子における活性層と電流ブロック層との間の距離と発光効率との関係を示したグラフ。

【図21】上記第7の実施の形態と従来の半導体発光素

20

子における半導体チップのサイズと発光効率との関係を示したグラフ。

【図22】従来の半導体発光素子の構成を示す断面図。

【図23】同半導体発光素子の発光効率の活性層中のキャリア密度依存性を示す説明図。

【図24】従来の他の半導体発光素子の構成を示す断面図。

【符号の説明】

1、27、103、123、143、163 n-Ga As パッファ層

2、26、104、124、144、164 n-Ga As/n-In_{0.5}Al_{0.5}P のベア10対がらなる反射層

3、25、105、125、145、165 n-In_{0.5}Al_{0.5}P クラッド層

4、24、106、126、146、166 n-In_{0.5}(Ga_{1-x}Al_x)_{0.5}P 活性層

5、23、107、127、147、167 p-In_{0.5}Al_{0.5}P クラッド層

6、21、109、129、148、168 p-Ga As オーミックコンタクト層

7、110、131、151、171 n-In_{0.5}Al_{0.5}P の電流ブロック層

8 Zn 層

9、112、132、152、172a、172b 透明電極 (ITO 膜)

10、101、121、141、161 n-GaAs 基板

11 ボンディングワイヤ

12 p-In_{0.5}(Ga_{0.55}Al_{0.45})_{0.5}P 活性層

13 反射板

14、17 リード

15 導電性接着剤 1

16 ベッド部

18 樹脂封止体

20、113、133、153、173 Au 電極 (p 電極)

22 p-Al_{0.7}Ga_{0.3}As 電流拡散層

29、102、122、142、162 AuGe 電極 (n 電極)

30 発光層

31 電子

32 ホール

33 フェルミレベル

34、35 スクライブライン

36、37 粘着シート

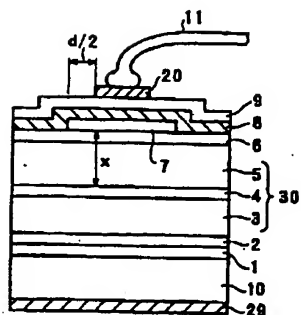
38 押さえ板。

108 p-GaAlAs 電流拡散層

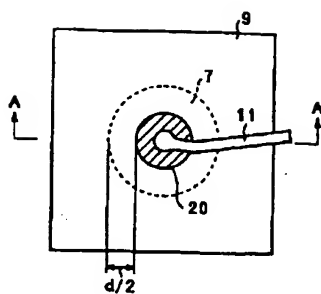
50

(12)

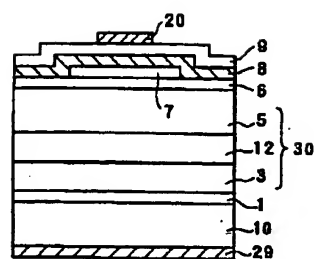
【図1】



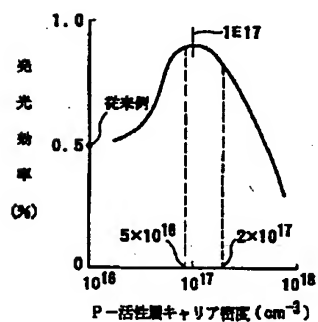
【図2】



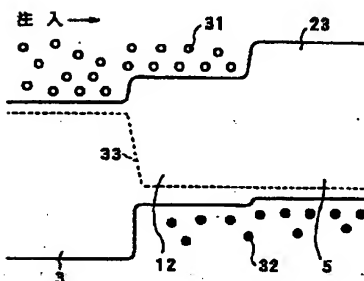
【図3】



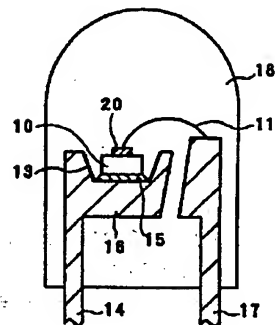
【図4】



【図5】

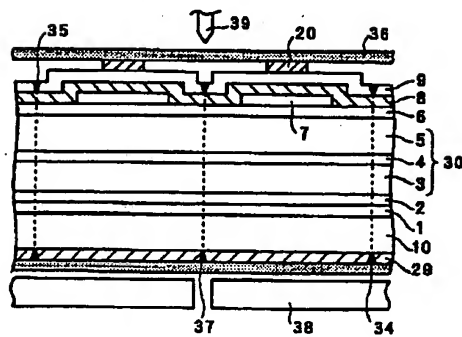


【図6】

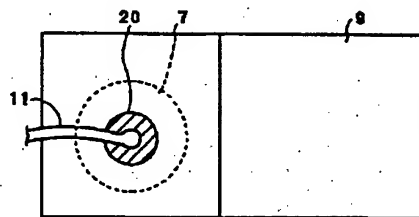


【図8】

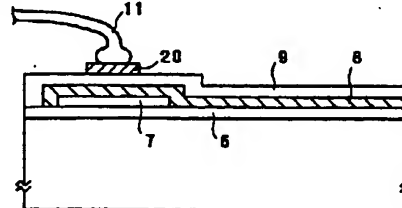
【図7】



(a)

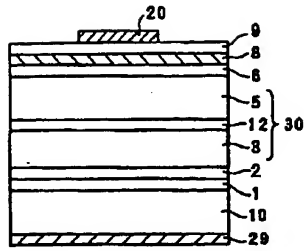


(b)

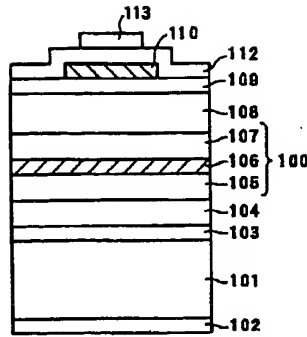


(13)

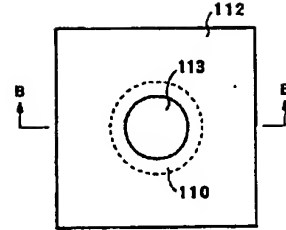
【図9】



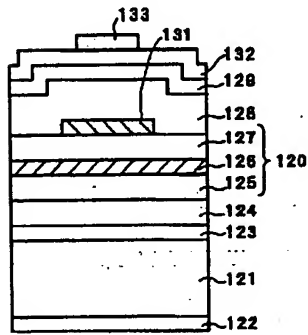
【図10】



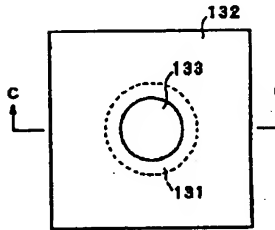
【図11】



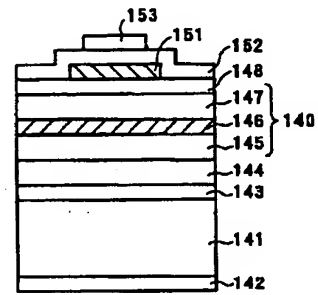
【図12】



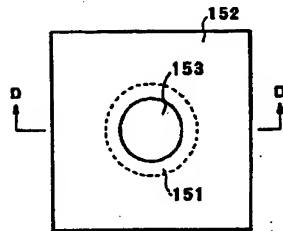
【図13】



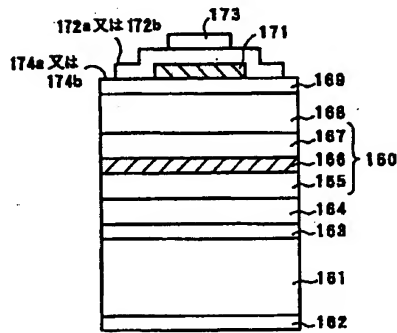
【図14】



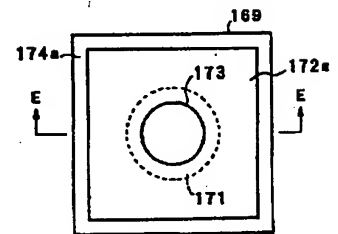
【図15】



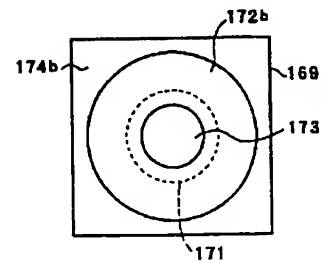
【図16】



【図17】

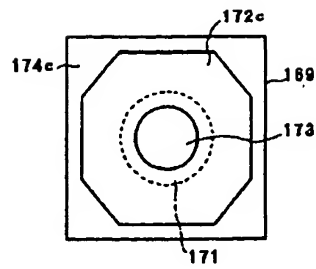


【図18】

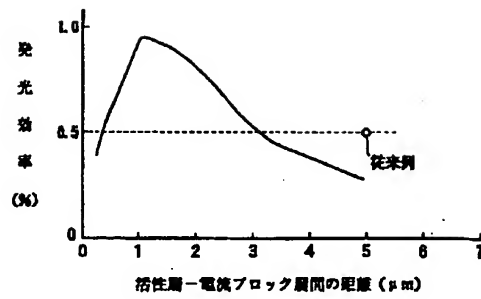


(14)

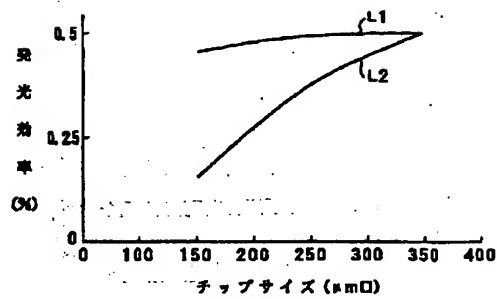
【図19】



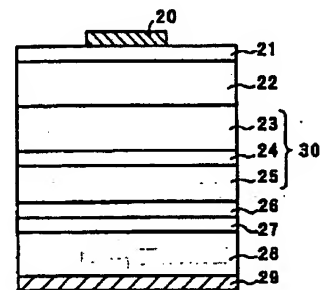
【図20】



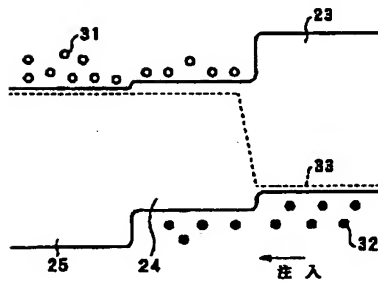
【図21】



【図22】



【図23】



【図24】

